

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-295838

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H02M 1/08
H02M 1/00

(21)Application number : 11-099688

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 07.04.1999

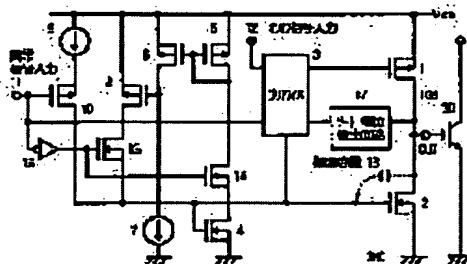
(72)Inventor : KUMAGAI NAOKI
FUJIHARA TATSUHIKO
YANO YUKIO

(54) DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To break IGBT without delay and besides, preventing the surge voltage break at the time of overcurrent of the IGBT, by turning on or turning off the IGBT constituting a power converter circuit or the like through a MOSFET.

SOLUTION: At abnormality by overcurrent, an abnormality signal input 11 becomes L, the gate of a MOSFET2 large in drive capacity (small in ON resistance) is charged by a small constant current source 9, and the ascent gradient (accordingly, the descent gradient of IGBT gate voltage and collector current) of this gate voltage becomes slow, and the surge voltage by di/dt does not arise, and besides the ON resistance of the MOSFET2 is small, so the delay of the start of descent of the IGBT is small, too. What is more, the threshold of the gate of the MOSFET4 is equal to that of the MOSFET2, and the delay of start of ON of the MOSFET2 is prevented, by quickly charging the gate of the MOSFET2 until the gate voltage of the MOSFET2 reaches the threshold, by MOSFET's 4, 5, 6, 8, 14, and 15 and a constant current source 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A drive circuit with a soft interception means intercept this half-dynamic-body switching element through the aforementioned control terminal at the time of abnormalities, such as the overcurrent of a means of the solid-state-switching element for [which is characterized by to provide the following] a drive supply current to the control terminal at least at the time of a turn-on, the normal interception means which draws out current from this control terminal at the time of normal interception of this solid-state-switching element, and the aforementioned half dynamic-body switching element, so that the downward inclination of the principal current may become The aforementioned soft interception means is the control terminal of the aforementioned solid-state-switching element. The 1st voltage drive type transistor to which the main circuit was connected between the main terminals which become the reference potential side of the control signal of this solid-state-switching element. A ***** means to charge the gate of the 1st voltage drive type transistor so that the elevation inclination of the voltage of this gate may become loose.

[Claim 2] The drive circuit where the 1st voltage drive type transistor is characterized by serving as current drawing operation of the aforementioned normal interception means, and performing it in a drive circuit according to claim 1.

[Claim 3] The drive circuit where the aforementioned soft interception means is characterized by having a boosting-charge means to charge the gate of the 1st voltage drive type transistor quickly until the voltage of this gate reaches a threshold in a drive circuit according to claim 1 or 2.

[Claim 4] In a drive circuit according to claim 3, the aforementioned boosting-charge means has the same gate threshold as the 1st voltage drive type transistor. The 2nd voltage drive type transistor by which the gate and the source (or emitter) were connected in common with the 1st voltage drive type transistor, The drive circuit characterized by having a means to detect that current began to flow to the main circuit of the 2nd voltage drive type transistor, and to stop the aforementioned boosting charge.

[Claim 5] The drive circuit characterized by connecting a capacitor between the gate of the 1st voltage drive type transistor, and a drain (or collector) in a drive circuit according to claim 1 to 4.

[Claim 6] The drive circuit characterized by equipping the aforementioned soft interception means with a means to connect the aforementioned capacitor only at the time of the operation of the aforementioned ***** means, in a drive circuit according to claim 5.

[Claim 7] The drive circuit where the aforementioned soft interception means is characterized by having the means which lowers the potential of this control terminal promptly in a drive circuit according to claim 1 to 6 after the potential of the control terminal of the aforementioned solid-state-switching element reaches the predetermined potential below a threshold.

[Claim 8] The drive circuit characterized by the 1st voltage drive type transistor being MOSFET in a drive circuit according to claim 1 to 7.

[Translation done.]

* NOTICE *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] the drive circuit (the circuit which generates the signal for ON/OFF drive which adds to the control terminal of a solid-state-switching element directly by considering ON/OFF signal from the outside as an input, and impresses) of a solid-state-switching element where this invention is used for a power converter, especially the inverter of a motor for variable speed control, etc. — it is — especially — a load — simplistic — it is related to the drive circuit equipped with the soft interception function for preventing destruction of the element by the surge voltage based on big di/dt . In addition, in each drawing, the same sign shows the same or a considerable portion below.

[0002]

[Description of the Prior Art] Drawing 5 shows the example of composition of the conventional drive circuit, and shows the case where IGBT30 is driven as a solid-state-switching element for a drive. In this example, N channel MOSFET2 is used as a means to turn off, using P-channel-MOS FET1 as a means to make IGBT30 turn on.

[0003] When an ON signal is inputted into the on-off-signal input terminal 12 at the time of the usual switching, by sending out the signal which turns on MOSFET1, and the signal which turns off MOSFET2 to the gate of each FET 1 and 2, the pulley driver 3 charges the gate of IGBT30, and turns on IGBT30.

[0004] Moreover, conversely, when an OFF signal is inputted into the on-off-signal input terminal 12, by sending out the signal which turns off MOSFET1, and the signal which turns on MOSFET2 to the gate of each FET 1 and 2, the gate of IGBT30 is discharged and IGBT30 is turned off.

[0005] When there is a possibility that current excessive to a switching element may flow according to accident, such as a load short circuit, and a switching element may break, a means to intercept a switching element and to protect a switching element and a load circuit is prepared in the drive circuit for a solid-state-switching element drive generally used for power converters, such as an inverter.

[0006] In this case, since bigger current than the current usually dealt with is flowing, when a switching element is intercepted by the usual method, the surge voltage of $L di/dt$ occurs with the inductance L which it has [wiring], and an element may be destroyed by big di/dt exceeding pressure-proofing of a switching element.

[0007] Drawing 8 is collector-current IC of IGBT at the time of making IGBT turn on and turn off after short-circuiting the load side of IGBT which is a solid-state-switching element. The example of time transition with the collector-emitter voltage VCE is shown.

[0008] That is, if the load side of IGBT is changed into a short circuit state and IGBT is made to turn on in t_1 at a shell and the time, it is collector-current IC of IGBT. It goes up rapidly. In a high potential field, since the current of IGBT has constant-current nature, if it reaches the current value decided by the gate voltage of IGBT, it will arrive at the field restricted with fixed current. (After Current IC reaches a peak in drawing 8, decreasing a little is based on the reasons of a temperature rise etc.) a protection here sake — Time t — if IGBT is intercepted by the usual method in 2, by very high $-di/dt$, in the collector to emitter voltage VCE of IGBT, the very high surge voltage shown as the solid line of drawing will occur, and an element will result in destruction

[0009] In order to prevent this, it has the so-called soft interception function which intercepts a switching element gently at the time of abnormalities, such as an overcurrent, in many cases in the driver circuit of a switching element.

[0010] In the example of drawing 5, the overcurrent detection circuit which is not illustrated detects an overcurrent and an unusual signal is given to the unusual signal input terminal 11. While the pulley driver 3 sends out the signal which turns off P-channel-MOS FET1 based on this unusual signal, it sends out the signal which turns on N channel MOSFET20.

[0011] It is designed like and this N channel MOSFET20 draws out the charge with current drawing capacity lower (it is got blocked and an on resistance is large) than N channel MOSFET2 accumulated at the gate of IGBT30 more nearly gently than the time of the usual switching. For this reason, the turn-off of IGBT30 is carried out gradually, and it prevents that di/dt becomes large. The dashed line of drawing 8 shows this situation.

[0012]

[Problem(s) to be Solved by the Invention] Drawing 7 shows the example of the main circuit of the common inverter equipment containing IGBT driven in the above drive circuits. IGBT30 (30-1 to 30-6) of six each and the free wheel diode 40 (40-1 to 40-6) (FWD and brief sketch) from which this inverter circuit constitutes the inverse transformation bridge circuit of a three phase circuit. It is constituted by IC41 (41-1 to 41-3) which carries out the control drive of the gate of three upper arms IGBT 30-1 to 30-3, respectively, IC42 which carries out the control drive of the gate of three lower arms IGBT 30-4 to 30-6.

[0013] Each gate control drive 41 and ICs 42 makes six IGBT(s) turn on /turn off so that rotating magnetic field may occur in the coil of a motor 43 by the control circuit outside drawing. For example, when the state of ON of the state of ON of 30-1, 30-5, and 30-6, 30-1, and 30-5, 30-1, 30-3, and 30-5 make it change one by one with the state of ON etc. from IGBT 30-1 and the state of ON of 30-6, rotating magnetic field occur. Furthermore, the control circuit outside drawing performs PWM control so that the output current from the output terminal 46-1 to 46-3 of this bridge circuit may be approximated to sinusoidal type.

[0014] By the way, the current detection resistance 45 shown in drawing 7 detects the voltage drop of this current by the gate control drive IC 42 at the time of overcurrents, such as a load short circuit, and it is intercepting IGBT 30-4 to 30-6 of a lower arm, and it is

prepared in order to protect all IGBT(s) from an overcurrent.

[0015] An output is a short circuit (three of output terminal 46-1-3 connect too hastily) in the state of ON of IGBT 30-1 of now, for example, an upper arm, and IGBT 30-5 of 30-3 and a lower arm. The case where it carries out is considered. In addition, IGBT of these two upper arms and one lower arm calls mode 1 the short circuit mode in an ON state for convenience.

[0016] Since the inductance of motor winding of a load is lost by the short circuit and it becomes only the suspension inductance of wiring, the voltage which should be impressed to motor winding is impressed to IGBT, and current increases rapidly.

[0017] However, although two IGBT(s) turn on the upper arm side in this case, since only one IGBT turns on the lower arm, it is the voltage VD of a power supply 44. Most is impressed to IGBT 30-5 of a lower arm.

[0018] Drawing 9 is the I-V property view of IGBT for explaining this, and, in a vertical axis, collector-current IC of IGBT and a horizontal axis show the collector-emitter voltage VCE of IGBT. Here, since it is easy, three above IGBT(s) 30-1, 30-3, and 30-5 have the completely same I-V property shown in drawing 9, and the case where IGBT 30-1 and 30-3 share current equally is considered.

[0019] The current at the time of a short circuit is the value Ip determined with the I-V property of IGBT according to the gate voltage at the time of a short circuit. Although it flows, at this example, it is this current Ip to IGBT 30-5 of a lower arm. It flows.

[0020] However, at an upper arm, it is this current Ip. In order for two IGBT(s) 30-1 and 30-3 to share, IGBT 30-1 and the operating point of 30-3 turn into A points, and IGBT 30-1 and the voltage impressed to 30-3 become VCE1 and a low value.

[0021] On the other hand, for the operating point of IGBT 30-5, the voltage of IGBT 30-5 is supply voltage VD. Since it becomes the value VCE2 which deducted the shell VCE1, it becomes the operating point B and almost all voltage is impressed to IGBT 30-5. (The voltage impressed to a suspension inductance is disregarded.) Therefore, if it intercepts for protection of IGBT 30-5, it will change, maintaining high applied voltage from the operating point B to the operating point C with the fall of the gate voltage.

[0022] Moreover, collector-current IC Since it is current depending on the gate voltage, according to the fall of a gate voltage, it begins to fall immediately. Therefore, in order to intercept a very big short-circuit current and to prevent generating of the surge voltage resulting from big di/dt, a soft interception circuit like drawing 5 operates effectively.

[0023] Next, the case where an output short circuit occurs similarly in the state of ON of IGBT 30-1 of an upper arm, IGBT 30-5 of a lower arm, and 30-6 is considered. In addition, IGBT of this one upper arm and two lower arms calls mode 2 the short circuit mode in an ON state for convenience. In this case, it is the voltage VD of a power supply 44 conversely. Most is impressed to the upper arm IGBT 30-1, and the lower arm IGBT 30-5 and 30-6 are operating by the operating point A of drawing 9.

[0024] here — simplistic — when intercepting IGBT 30-5 and 30-6 by work of the protection network by detection of the overcurrent by which it is accompanied, in order that IGBT 30-5 and the operating point of 30-6 may change from A to C, elevation of the big applied voltage VCE between collector emitters is between changes

[0025] IGBT 30-5 in this mode 2 and interception operation of 30-6 are the influences to which charge of the feedback capacity between the gate collectors corresponding to change of this collector to emitter voltage VCE is performed in the drawing process of the gate charge for interception, and OFF properties differ greatly compared with the mode 1.

[0026] Drawing 6 is the voltage VGE between gate emitters (it is also only called the gate voltage), the collector to emitter voltage VCE, and collector-current IC of IGBT in the case of drawing out the gate charge of IGBT of the lower arm which makes the inductance of a motor etc. a load in the state of the mode 2 by the constant current, and carrying out the turn-off of this IGBT. The example of time transition is shown.

[0027] If the turn-off of such IGBT is performed, as shown in drawing 6, the gate voltage VGE of IGBT will reach near a gate threshold (it is level somewhat higher than a gate threshold strictly) through the area A which descends by a certain inclination first, will once pass the area B as a period whose gate-voltage change decreases here, and will follow progress that a gate voltage decreases in C field again after that.

[0028] Here, the area B whose gate-voltage change decreases is the period when the collector potential of IGBT30 rises, and is a period when the displacement current accompanying collector potential elevation flows to the gate through the capacity between the collector gates of IGBT30 and which has occurred by the so-called Miller effect. Actual collector-current IC of IGBT30 Reduction is generated in C field which begins from the time of this area B being completed.

[0029] (In addition, the OFF property at the time of carrying out the turn-off of the IGBT of a lower arm in the mode 1 serves as a wave to which the area B in drawing 6 is lost, and area A and C field are connected, and collector-current IC starts reduction from area A.)

By the way, in order that an overcurrent state until the period of the area B whose gate-voltage change once decreases shown in drawing 6 becomes very long and IGBT30 turns off might continue for a long time in the aforementioned mode 2 since current drawing capacity of MOSFET20 in drawing 5 is lessened if the drive circuit of drawing 5 performs soft interception of a lower arm of IGBT30, there was un-arranging [of IGBT 30-1 of an upper arm breaking].

[0030] Furthermore, since time until it actually intercepts becomes long when an output short circuit arises just before an OFF signal is inputted into the on-off-signal input terminal 12, If this time exceeds the dead time prepared so that IGBT (30 to 5 receive 30-2, 30 to 6 receive 30-3) of the upper arm which counters IGBT of the lower arm for a turn-off might not turn on simultaneously IGBT of a vertical arm would be in the ON state simultaneously, the so-called arm short circuit which short-circuits a power supply occurred, and there was a possibility of also destroying IGBT of further others.

[0031] The purpose of this invention is the start point in time (it is got blocked) of the interception to the case of the interception conditions in the mode 1, in case soft interception of the overcurrent of IGBT is carried out. In being the interception conditions in the mode 2 in which the area B of drawing 6 whose change of the gate voltage VGE of IGBT is the area A of drawing 6 and decreases exists It is collector-current IC in C field which follows area B while shortening the period of this area B as much as possible and shortening duration of an overcurrent state. It is in offering the drive circuit which is decreased gently and can suppress generating of the surge voltage by $L di/dt$.

[0032]

[Means for Solving the Problem] In order to solve the aforementioned technical problem, the drive circuit of a claim 1 A means of the solid-state-switching elements for a drive (IGBT30 etc.) to supply current to the control terminals (gate etc.) at least at the time of a turn-on (MOSFET1 etc.). The normal interception means which draws out current from this control terminal at the time of normal interception of this solid-state-switching element, The aforementioned control terminal is minded at the time of abnormalities, such as an overcurrent of the aforementioned half dynamic body switching element. this half-dynamic body switching element It is a drive

circuit with a soft interception means to intercept so that the downward inclination of the principal current may become loose, the aforementioned soft interception means The control terminal of the aforementioned solid-state-switching element, The 1st voltage drive type transistor to which main circuits (drain source circuit etc.) were connected among the main terminals (emitter etc.) which become the reference potential side of the control signal of this solid-state-switching element and [whose drive capacity is comparatively high (an on resistance is a low)] (MOSFET2 etc.), It has ***** meanses (a constant current source 9, MOSFET10, etc.) to charge the gate of the 1st voltage drive type transistor so that the elevation inclination of the voltage of this gate may become loose.

[0033] Moreover, in a drive circuit according to claim 1, the 1st voltage drive type transistor serves as current drawing operation of the aforementioned normal interception means, and is made to perform the drive circuit of a claim 2.

[0034] Moreover, the drive circuit of a claim 3 is equipped with boosting-charge meanses (MOSFETs 8 and 15 etc.) by which the aforementioned soft interception means charges the gate of the 1st voltage drive type transistor quickly until the voltage of this gate reaches a threshold, in a drive circuit according to claim 1 or 2.

[0035] Moreover, the drive circuit of a claim 4 is set in a drive circuit according to claim 3. The aforementioned boosting-charge means has the same gate threshold as the 1st voltage drive type transistor. The 2nd voltage drive type transistor by which the gate and the source (or emitter) were connected in common with the 1st voltage drive type transistor (MOSFET4 etc.), It has meanses (MOSFETs 5, 6, and 14, constant current source 7, etc.) to detect that current began to flow to the main circuit of the 2nd voltage drive type transistor, and to stop the aforementioned boosting charge.

[0036] Moreover, the drive circuit of a claim 5 connects a capacitor (21) between the gate of the 1st voltage drive type transistor, and a drain (or collector) in a drive circuit according to claim 1 to 4.

[0037] Moreover, the drive circuit of a claim 6 is equipped with meanses (MOSFET22 etc.) by which the aforementioned soft interception means connects the aforementioned capacitor only at the time of the operation of the aforementioned ***** means, in a drive circuit according to claim 5.

[0038] Moreover, the drive circuit of a claim 7 is equipped with meanses (the gate potential detector 17, pulley driver 3, etc.) by which the aforementioned soft interception means lowers the potential of this control terminal promptly after the potential of the control terminal of the aforementioned solid-state-switching element reaches the predetermined potential below a threshold, in a drive circuit according to claim 1 to 6.

[0039] Moreover, it is made for the 1st voltage drive type transistor of the drive circuit of a claim 8 to be MOSFET in a drive circuit according to claim 1 to 7.

[0040] An operation of this invention is as the following. The gate of MOSFET with comparatively high (that is, an on resistance is small) drive capacity connected between the gate emitters of IGBT for a drive In being the interception conditions which do not have the Miller effect of IGBT in the mode 1 by charging gently by the low current at the time of the overcurrent by the load short circuit of IGBT etc. When it is the interception conditions which reduce the gate potential for [IGBT] a drive gently immediately after overcurrent detection, and have the Miller effect of IGBT in the mode 2, by turning on high MOSFET of drive capacity after overcurrent detection While reducing the gate potential of IGBT, therefore a collector current gently and suppressing generating of the spike voltage by excessive di/dt , lessening delay of the collector-current downward start by the Miller effect of IGBT, interrupting time prevents a bird clapper excessively.

[0041]

[Embodiments of the Invention] Drawing 1 is the circuit diagram showing the composition of the important section as the 1st example of this invention. (Example 1) P-channel-MOS FET1 which the gate of IGBT30 connected to the OUT terminal is charged [FET], and makes IGBT30 turn on like drawing 5 also in this drawing, N channel MOSFET2 which the gate of IGBT30 is discharged [MOSFET] and makes IGBT30 turn off is controlled by the pulley driver 3, and performs the same gate drive as drawing 5 in the case of usual switching of IGBT30.

[0042] A different point from drawing 5 of drawing 1 is a point which charges the gate of MOSFET2 usually for interception where drive capacity is large by few current not using N channel MOSFET20 with little drive capacity for intercepting IGBT30 gently at the time of abnormalities, such as an overcurrent, and drew out the gate charge of IGBT30 gently.

[0043] The case where it is the mode 1 with which the output short circuit generated first operation of the soft interception at the time of abnormalities below in the state of ON of the upper arm IGBT 30-1, and 30-3 and the lower arm 30-5 in drawing 7 is explained. In this case, IGBT30 set as the object of soft interception in drawing 1 serves as the lower arm IGBT 30-5.

[0044] In short circuit generating in this state, as stated previously, in IGBT30 for interception, it is already the total supply voltage VD mostly. It is the collector-current IC immediately as it is added and the gate voltage VGE of IGBT30 falls. In order to decrease, it is important to make late fall speed of the gate voltage of the area A in drawing 6.

[0045] When L signal which shows "those with abnormalities" is impressed to the unusual signal input terminal 11 in the state where the ON signal is contained in the on-off input terminal 12 of the pulley driver 3 in drawing 1, although the pulley driver 3 sends out the signal which intercepts P-channel-MOS FET1 and the charging circuit of the gate of IGBT30 is closed, the signal for usually turning on N channel MOSFET2 unlike the interception at the time does not have the delivery.

[0046] L signal is impressed to the unusual signal input terminal 11, and the current which charges the gate for turning on N channel MOSFET2 is supplied by the low constant current source 9 of an output current value when P-channel-MOS FET10 turns on.

[0047] For this reason, elevation of the gate voltage of N channel MOSFET2 will become loose. Furthermore, although the gate voltage of IGBT30, i.e., the drain voltage of MOSFET2, falls according to the fall of the on resistance of MOSFET2 accompanying elevation of the gate voltage of MOSFET2 Since many of current which charges the gate of MOSFET2 for the Miller effect by this drain sag is used to charge the capacity between gate drains of MOSFET2 shown in drawing 1 as a feedback capacity 13, the climbing speed of the gate voltage of MOSFET2 becomes still slower. Therefore, the fall speed of the gate voltage of IGBT30 serves as a low value very much.

[0048] However, as stated previously, since IGBT30 is intercepted with the high collector-emitter voltage VCE maintained, there is no Miller effect to IGBT30 (getting it blocked and there being no area B of drawing 6), and IGBT30 does not have a time lag, and it is collector-current IC. Reduction is intercepted gently.

[0049] Next, soft interception in the mode 2 which the output short circuit generated in the state of ON of the upper arm IGBT 30-1 of drawing 7, the lower arm IGBT 30-5, and 30-6 is explained. In this case, IGBT30 set as the object of soft interception in drawing 1 is set to 30-5 of a lower arm, and 30-6.

[0050] In respect of the fall of the gate voltage of IGBT30, it is completely the same as that of the case in the mode 1 until the area A, in drawing 6 finishes also in this case. However, they are the lower arm IGBT 30-5 and collector-current IC of 30-6 in this case. It is not decided by the gate voltage, but is collector-current IC of the upper arm IGBT 30-1. IGBT 30-5 and 30-6 share.

[0051] Therefore, IGBT 30-5 and collector-current IC which flows to 30-6 As shown in drawing 6, it does not fall in area A. moreover, as for IGBT 30-5 and 30-6, the voltage VCE between ETSUMITA collectors rises according to the fall of a gate voltage (it changes from the operating point A in drawing 9 to C) a sake — a Miller effect — generating — IGBT30 — the area B in drawing 6 to which a gate voltage will not fall even if it draws out a charge from the gate exists

[0052] However, if IGBT 30-5 and the gate voltage of 30-6, i.e., the drain voltage of MOSFET2 of drawing 1, will not fall, the Miller effect to MOSFET2 is lost, it will be used for the current which charges the gate of MOSFET2 mainly charging the capacity between the gate sources, and the gate voltage of MOSFET2 will go up comparatively quickly.

[0053] MOSFET2 has high drive capacity from the first (an on resistance is a low). Since it is an element and will become a low on resistance if a gate voltage goes up, it becomes possible to discharge comparatively quickly IGBT 30-5 and the gate charge of 30-6, and there is no area B of drawing 6 with a bird clapper extremely long like the conventional example.

[0054] In this mode 2, it is collector-current IC of IGBT. After going into C field of drawing 6, it actually descends, and it is Current IC. Since it is low as compared with the mode 1 explained above, the on resistance of MOSFET2 when starting descent is Current IC. The descending inclination becomes larger than the case in the mode 1. However, if it usually compares with the case of interception, since it will not have fallen enough yet, the on resistance of MOSFET2 can be gently intercepted, if it usually compares with interception.

[0055] Moreover, in this mode 2, they are IGBT 30-5 and collector-current IC of 30-6. Since it is low as compared with the mode 1 explained above, it is Current IC. Even if it intercepts with comparatively big downward inclination, there is little generating of surge voltage and an element is not destroyed.

[0056] By the way, possibility that time if the gate of MOSFET2 is charged with low current as mentioned above, after the gate potential of MOSFET2 reaches a gate threshold, time until MOSFET2 begins to turn on becomes long and IGBT30 is in an overcurrent state until it actually carries out the interception start of IGBT30 will become long, and protection of IGBT30 will become difficult arises.

[0057] In drawing 1, this is prevented by the method described below. That is, in drawing 1, in the state where the ON signal is contained in the on-off input terminal 12 of the pulley driver 3, if L signal (active) is impressed to the unusual signal input terminal 11, N channel MOSFETs 14 and 15 turn on by NOT circuit 16. MOSFET4 is MOSFET with the same gate threshold as MOSFET2, while the gate potential of MOSFET2 does not reach to the gate threshold, current does not flow to MOSFET4, either, and current does not flow to MOSFETs 5 and 6 which constitute current Miller circuit, either.

[0058] Therefore, since the gate of P-channel-MOS FET8 serves as GND potential by the constant current source 7 and MOSFET8 turns on, the gate of MOSFET2 is quickly charged through MOSFETs 8 and 15. If the gate potential of MOSFET2 reaches a threshold, current will flow through MOSFETs 5 and 14 also to MOSFET4, and current will flow also to MOSFET6 by current Miller circuit.

[0059] And if this current exceeds the current value of a constant current source 7, the gate potential of MOSFET8 rises and MOSFET8 turns off. For this reason, the charging current of MOSFET2 falls only to the current supplied from a current source 9.

[0060] It becomes possible to make the inclination of reduction of IGBT current loose, shortening a time delay until IGBT current begins to descend by the turn-on of MOSFET2 from immediately after unusual overcurrent generating of IGBT30, since it charges quickly, and the gate of MOSFET2 is gently charged by the above operation after reaching a gate threshold, until the potential reaches a gate threshold.

[0061] In addition, MOSFET15 is a switch for preventing that the gate of MOSFET2 is charged by MOSFET8 at the time of the usual operation of MOSFET2, and MOSFET14 operates as a switch for preventing that current flows to current Miller circuit at the time of the usual operation of MOSFET2.

[0062] Moreover, in drawing 1, the gate potential detector 17 detects that the gate voltage of IGBT30 turned into predetermined voltage below a threshold (voltage which fell by predetermined margin voltage from the threshold in practice), sends out a signal to the pulley driver 3, and has the role which makes the gate of MOSFET2 charge by the same gate charging current as the time of the usual switching. The time or later of a possibility that steep di/dt may occur by this disappearing continues loose interception of the current of IGBT30, and the switching time prevents a bird clapper for a long time in vain.

[0063] In addition, the means to which you may be the combination etc. and the turn-on of IGBT30 is carried out even if MOSFET1 is P-channel-MOS FET in drawing 1 and it is the source follower of N channel MOSFET, as shown in this view is a book no matter it may be what thing.

[0064] Moreover, although it does not have MOSFET20 for soft interception in this example unlike the conventional drive circuit of drawing 5, like drawing 5, MOSFET2 may form new MOSFET20 for soft interception independently, and may perform the same constant-current drive as this example to this MOSFET.

[0065] However, MOSFET20 newly prepared in this case needs to have drive capacity larger than the case of drawing 5, and it is efficient to usually share with MOSFET for soft interception MOSFET2 for a drive which has drive capacity of enough like drawing 1.

[0066] (Example 2) Drawing 2 is the circuit diagram showing the composition of the important section as the 2nd example of this invention. The different main points from drawing 1 of this drawing are the point that the capacitor 21 is connected between the gate drains of N channel MOSFET2, and a point without the circuit which charges the gate of MOSFET2 quickly in the field which does not reach the gate threshold of MOSFET2.

[0067] At this example, it is the feedback capacity (not shown [in drawing 2] by 13 of drawing 1) of MOSFET2. The capacitor is inserted in parallel, a Miller effect shows up more strongly in MOSFET2, and the ratio of the feedback capacity to the capacity between the gate sources of MOSFET2 increases.

[0068] Therefore, keeping loose the lowering speed of the drain voltage (therefore, gate voltage of IGBT30) of MOSFET2 by enlarging current value of a constant current source 9 As time to charge only the capacity between the gate sources of MOSFET2 Even if it becomes possible to shorten time until the gate potential of MOSFET2 reaches a threshold and there is no circuit which charges the gate of MOSFET2 like drawing 1 quickly, it becomes possible to start interception of IGBT30 in comparatively short time.

[0069] Of course, it is also possible to shorten time until it adds the circuit which charges the gate of MOSFET2 quickly to drawing 2 and the gate potential of MOSFET2 reaches a threshold further.

[0070] (Example 3) A point which drawing 3 is the circuit diagram showing the composition of the important section as the 3rd example

of this invention, and is different from drawing 2 of this drawing N channel MOSFET22 as a switch is connected to the capacitor 21 with a larger capacity than drawing 2. Only when the unusual signal input terminal 11 is set to L (active), it is capacitor 21. The point connected between the gate drains of MOSFET2 and the gate of MOSFET2 are not charged by the constant current source of exclusive use. It is the point charged by the signal for usual switching of the pulley driver 3 with larger current-supply-source capacity than the constant current source 9 of drawing 2.

[0071] That is, since the unusual signal input terminal 11 is usually equivalent to the state of H (non, active) where the capacitor 21 is not sometimes connected for MOSFET22 by the OFF state, MOSFET2 turns on at the rate of usual.

[0072] On the other hand, when the unusual signal of L is impressed to the unusual signal input terminal 11 Since a capacitor 21 is connected between the gate drains of MOSFET2 and the Miller effect of MOSFET2 becomes large with this capacity, when MOSFET22 turns on, Although the lowering speed of the drain voltage of MOSFET2, i.e., the gate voltage of IGBT30, becomes loose Since the current-supply-source capacity of a part with a large capacity of a capacitor 21 and the pulley driver 3 is large in comparison with drawing 2, the gate voltage of MOSFET2 can make equivalent the lowering speed of time to reach a threshold or the gate voltage of IGBT30.

[0073] (Example 4) Drawing 4 is the circuit diagram showing the composition of the important section as the 4th example of this invention, and a different point from drawing 3 of this drawing is a point that diode 24 is connected with a capacitor 21 between MOSFETs22, and MOSFET25 is connected between the node of diode 24 and a capacitor 21, and Gland GND.

[0074] That is, in drawing 3, at the time of the turn-off of MOSFET2, it will be in the state where the capacitor 21 is always connected between the gate drains of MOSFET2, and the turn-off of MOSFET2 will become late with the parasitism diode 23 of MOSFET22.

[0075] The diode 24 of drawing 4 was inserted in order to prevent the delay of this turn-off, and it intercepts the current which flows from the drain of MOSFET2 to the gate. Moreover, MOSFET25 is a circuit for discharging the charge of a capacitor 21 in the state where there is no unusual signal (L) in the unusual signal input terminal 11.

[0076]

[Effect of the Invention] According to this invention (claim 1), at the time of abnormalities, such as an overcurrent of the solid-state-switching element for a drive (for example, referred to as IGBT) The gate of this MOSFET is charged so that the elevation inclination of the gate voltage of an armature-voltage control type transistor (for example, referred to as MOSFET) with comparatively large (an on resistance is small) drive capacity established between the gate of this IGBT and the collector may become loose. Furthermore, if needed, make it charge quickly until a gate voltage reaches a threshold, or the gate of Above MOSFET (Claims 3 and 4), To the charge power supply of the gate of MOSFET, moreover, with large current-supply-source capacity to usually share the power supply at the time of interception After it connects a capacitor between this gate and a drain or the potential of (claims 5 and 6) and the gate of Above IGBT reaches the predetermined potential below a threshold Since it was made to lower the potential of this gate promptly (claim 7), while starting interception promptly and shortening the duration of an overcurrent after overcurrent detection of IGBT Make the lowering speed of IGBT current loose and generating of the surge voltage by steep di/dt is suppressed. And, being able to finish interception promptly from the time of the gate voltage of IGBT descending to below a threshold, and fear of surge generating disappearing, and preventing surge voltage destruction of the solid-state-switching element for a drive as a result The current of a solid-state-switching element can be intercepted by the shortest possible overcurrent persistence time.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] The circuit diagram showing the composition of the important section as the 1st example of this invention
[Drawing 2] The circuit diagram showing the composition of the important section as the 2nd example of this invention
[Drawing 3] The circuit diagram showing the composition of the important section as the 3rd example of this invention
[Drawing 4] The circuit diagram showing the composition of the important section as the 4th example of this invention
[Drawing 5] Drawing showing the example of the soft interception circuit in the conventional drive circuit
[Drawing 6] Explanatory drawing of the turn-off property of IGBT
[Drawing 7] Drawing showing the example of main circuit composition of inverter equipment using IGBT as a solid-state-switching element
[Drawing 8] Explanatory drawing of the current-potential wave at the time of the output short circuit of IGBT
[Drawing 9] Explanatory drawing of the operating point of IGBT at the time of the output short circuit of inverter equipment

[Description of Notations]

- 1 P-Channel-MOS FET
2 N Channel MOSFET
3 Pulley Driver
4 N Channel MOSFET
5 Six P-channel-MOS FET
7 Constant Current Source
8 P-Channel-MOS FET
9 Constant Current Source
10 P-Channel-MOS FET
11 Unusual Signal Input Terminal
12 On-off-Signal Input Terminal
13 Feedback Capacity
14 15 N channel MOSFET
16 NOT Circuit
17 Gate Potential Detector
21 Capacitor
22 N Channel MOSFET
23 Parasitism Diode
24 Diode
25 N Channel MOSFET
30 IGBT

[Translation done.]

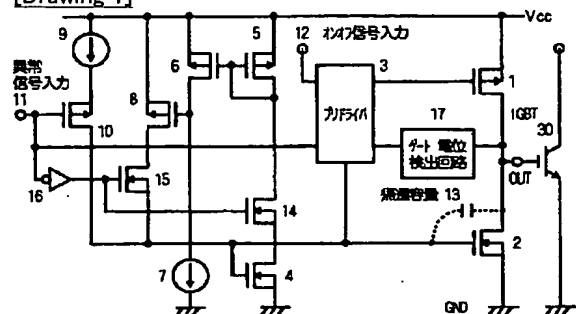
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

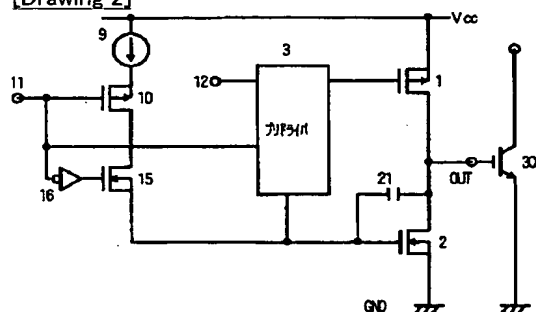
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

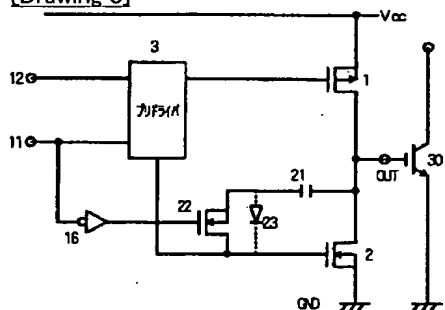
[Drawing 1]



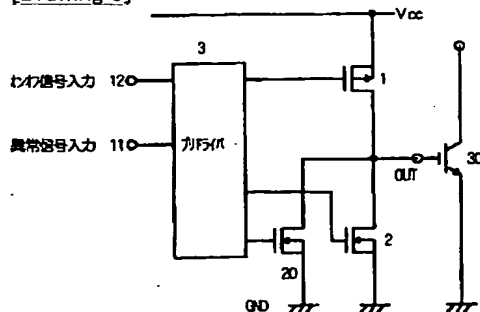
[Drawing 2]

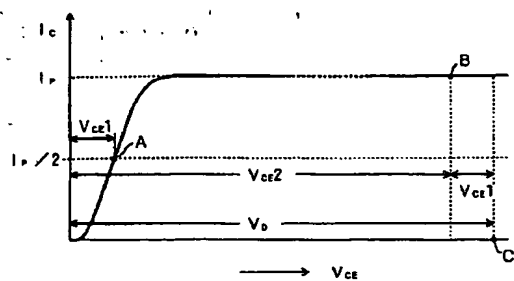


[Drawing 3]



[Drawing 5]





[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-295838
(P2000-295838A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 2 M 1/08		H 0 2 M 1/08	Y 5 H 7 4 0
1/00		1/00	F

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平11-99688

(22) 出願日 平成11年4月7日 (1999. 4. 7)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 熊谷 直樹

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

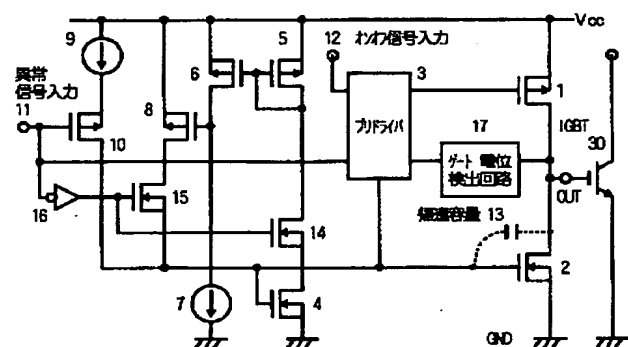
最終頁に続く

(54) 【発明の名称】 ドライブ回路

(57) 【要約】

【課題】 電力変換回路等を構成する IGBT30 を MOSFET1, 2 を介し夫々オン、オフ駆動するドライブ回路で、IGBTの過電流時に IGBT を遅滞なく且つサージ電圧破壊を防ぎつつ遮断する。

【解決手段】 過電流異常時、異常信号入力11がLとなり、ドライブ能力の大きい (オン抵抗の小さい) MOSFET2のゲートは小さい定電流源9により充電され、このゲート電圧の上昇勾配 (従って IGBTゲート電圧とコレクタ電流の下降勾配) は緩やかとなり、 di/dt によるサージ電圧は発生せず、しかも MOSFET2 のオン抵抗が小さいため IGBT電流の下降開始の遅れも少ない。なお MOSFET4 のゲートしきい値は MOSFET2 と等しく、MOSFET4, 5, 6, 8, 14, 15 と定電流源7により、MOSFET2 のゲート電圧がしきい値に達するまでは FET2 のゲートを急速充電して、MOSFET2 のオン開始の遅れを防ぐ。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 駆動対象の半導体スイッチング素子の少なくともターンオン時にその制御端子に電流を供給する手段、この半導体スイッチング素子の正常な遮断時にこの制御端子から電流を引き抜く正常遮断手段、前記半導体スイッチング素子の過電流などの異常時に、前記制御端子を介してこの半導体スイッチング素子を、その主電流の下降勾配が緩やかになるように遮断するソフト遮断手段を持つドライブ回路であって、

前記ソフト遮断手段が、前記半導体スイッチング素子の制御端子と、この半導体スイッチング素子の制御信号の基準電位側となる主端子との間に主回路が接続された第1の電圧駆動型トランジスタと、

第1の電圧駆動型トランジスタのゲートを、このゲートの電圧の上昇勾配が緩やかになるように充電する緩充電手段とを備えたことを特徴とするドライブ回路。

【請求項2】 請求項1に記載のドライブ回路において、第1の電圧駆動型トランジスタが、前記正常遮断手段の電流引き抜き動作を兼ね行うようにしたことを特徴とするドライブ回路。

【請求項3】 請求項1または2に記載のドライブ回路において、前記ソフト遮断手段が、第1の電圧駆動型トランジスタのゲートを、このゲートの電圧がしきい値に達するまでは急速に充電する急速充電手段を備えたことを特徴とするドライブ回路。

【請求項4】 請求項3に記載のドライブ回路において、前記急速充電手段が、第1の電圧駆動型トランジスタと同じゲートしきい値を持って、ゲートとソース（又はエミッタ）を第1の電圧駆動型トランジスタと共通に接続された第2の電圧駆動型トランジスタと、第2の電圧駆動型トランジスタの主回路に電流が流れ始めたことを検出して前記の急速充電を停止する手段とを持つことを特徴とするドライブ回路。

【請求項5】 請求項1ないし4のいずれかに記載のドライブ回路において、第1の電圧駆動型トランジスタのゲートとドレイン（又はコレクタ）との間にキャパシタを接続するようにしたことを特徴とするドライブ回路。

【請求項6】 請求項5に記載のドライブ回路において、前記ソフト遮断手段が、前記緩充電手段の作動時にのみ前記キャパシタの接続を行う手段を備えたことを特徴とするドライブ回路。

【請求項7】 請求項1ないし6のいずれかに記載のドライブ回路において、前記ソフト遮断手段が、前記半導体スイッチング素子の制御端子の電位がしきい値以下の所定電位に達したのち、この制御端子の電位を速やかに下げる手段を備えたことを特徴とするドライブ回路。

【請求項8】 請求項1ないし7のいずれかに記載のドライブ回路において、第1の電圧駆動型トランジスタがMOSFETであることを特徴とするドライブ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電力変換装置、特にモータの可変速制御用インバータなどに使用される半導体スイッチング素子のドライブ回路（外部からのオン／オフ信号を入力として、半導体スイッチング素子の制御端子に直接加えるオン／オフ駆動用の信号を生成し印加する回路）であって、特に負荷短絡などの過電流時に、大きな di/dt に基づくサージ電圧による素子の破壊を防ぐためのソフト遮断機能を備えたドライブ回路に関する。なお、以下各図において同一の符号は同一もしくは相当部分を示す。

【0002】

【従来の技術】 図5は従来のドライブ回路の構成例を示し、駆動対象の半導体スイッチング素子としてIGBT30をドライブする場合を示している。本例ではIGBT30をオンさせる手段としてPチャネルMOSFET1を用い、オフする手段としてNチャネルMOSFET2を使用している。

【0003】 通常のスイッチング時において、プリドライバ3はオンオフ信号入力端子12にオン信号が入力された場合には、MOSFET1をオンする信号と、MOSFET2をオフする信号をそれぞれのFET1、2のゲートに送出することにより、IGBT30のゲートを充電してIGBT30をオンする。

【0004】 また逆に、オンオフ信号入力端子12にオフ信号が入力された場合にはMOSFET1をオフする信号とMOSFET2をオンする信号をそれぞれのFET1、2のゲートに送出することにより、IGBT30のゲートを放電してIGBT30をオフする。

【0005】 一般にインバータなどの電力変換装置に用いられる半導体スイッチング素子駆動用のドライブ回路には、負荷短絡などの事故によりスイッチング素子に過大な電流が流れてスイッチング素子が破壊するおそれがある場合、スイッチング素子を遮断してスイッチング素子や負荷回路を保護する手段が設けられている。

【0006】 この場合、通常取り扱う電流より大きな電流が流れているため、通常の方法でスイッチング素子を遮断すると、大きな di/dt により、配線などの持つインダクタンスLにより $L di/dt$ のサージ電圧が発生し、スイッチング素子の耐圧を超えて素子が破壊されることがある。

【0007】 図8は半導体スイッチング素子であるIGBTの負荷側を短絡後、IGBTをオン、オフさせたときの、IGBTのコレクタ電流 I_c とコレクタ・エミッタ電圧 V_{ce} との時間的推移の例を示す。

【0008】 即ち、IGBTの負荷側を短絡状態にしてから、時点 t_1 においてIGBTをオンさせると、IGBTのコレクタ電流 I_c は急激に上昇する。IGBTの電流は高電位領域では定電流性を持っているため、IGBTのゲート電圧で決まる電流値に達すると、一定の電

THIS PAGE BLANK (USPTO)

流で制限された領域に達する。(図8において電流 I_c がピークに達した後、若干減少しているのは温度上昇などの理由による。)しかしながら、このコレクタ電流 I_c は通常、定格電流の数倍から10倍以上に達するため、ここで保護のため、時点 t_2 においてIGBTを通常の方式で遮断すると非常に高い di/dt により、IGBTのコレクタ・エミッタ間電圧 V_{ce} には図の実線で示す非常に高いサージ電圧が発生して素子が破壊に至る。

【0009】これを防止するため、スイッチング素子のドライバ回路には、過電流などの異常時にスイッチング素子を緩やかに遮断する、いわゆるソフト遮断機能を持っている場合が多い。

【0010】図5の例では図示していない過電流検出回路により過電流を検出し、異常信号入力端子11に異常信号を与える。プリドライバ3はこの異常信号に基づき、PチャネルMOSFET1をオフする信号を送出すると同時に、NチャネルMOSFET2をオンする信号を送出する。

【0011】このNチャネルMOSFET20はNチャネルMOSFET2より電流引き抜き能力が低い(つまり、オン抵抗が大きい)ように設計され、通常のスイッチング時よりも緩やかにIGBT30のゲートに蓄積された電荷を引き抜く。このため、IGBT30は徐々にターンオフし、 di/dt が大きくなるのを防止する。この様子を図8の破線で示している。

【0012】

【発明が解決しようとする課題】図7は上記のようなドライバ回路で駆動されるIGBTを含む一般的なインバータ装置の主回路の例を示している。このインバータ回路は、3相の逆変換ブリッジ回路を構成するそれぞれ6個のIGBT30(30-1~30-6)及びフリーホイールダイオード(FWDと略記)40(40-1~40-6)と、3個の上アームIGBT30-1~30-3のゲートをそれぞれ制御駆動するIC41(41-1~41-3)と、3個の下アームIGBT30-4~30-6のゲートを制御駆動するIC42などにより構成されている。

【0013】各ゲート制御駆動IC41、42は図外の制御回路によりモータ43の巻線に回転磁界が発生するように、6個のIGBTをオン/オフさせる。例えばIGBT30-1と30-6がオンの状態から30-1、30-5、30-6がオンの状態、30-1、30-5がオンの状態、30-1、30-3、30-5がオンの状態などと順次遷移させることにより回転磁界が発生する。さらに、図外の制御回路は、このブリッジ回路の出力端子46-1~46-3からの出力電流が正弦波形に近似されるようにPWM制御を行う。

【0014】ところで、図7に示す電流検出抵抗45は、負荷短絡等の過電流時にこの電流の電圧降下をゲ-

ート制御駆動IC42により検出し、下アームのIGBT30-4~30-6を遮断することで、全てのIGBTを過電流から保護する目的で設けられている。

【0015】今たとえば上アームのIGBT30-1、30-3と下アームのIGBT30-5がオンの状態で出力が短絡(出力端子46-1~3の3つが短絡)した場合を考える。なお、この上アーム2個、下アーム1個のIGBTがオン状態での短絡モードを便宜上、モード1と呼ぶ。

【0016】短絡により負荷のモータ巻線のインダクタンスが無くなって配線の浮遊インダクタンスのみになるため、モータ巻線に印加されるべき電圧はIGBTに印加され、電流は急激に増大する。

【0017】しかしながらこの場合、上アーム側は2個のIGBTがオンしているが、下アームは1個のIGBTのみがオンしているため、電源44の電圧 V_D の殆どが下アームのIGBT30-5に印加される。

【0018】図9はこれを説明するためのIGBTのI-V特性図で、縦軸はIGBTのコレクタ電流 I_c 、横軸はIGBTのコレクタ・エミッタ電圧 V_{ce} を示す。ここでは簡単のため、上記の3個のIGBT30-1、30-3、30-5が図9に示す全く同一のI-V特性を持ち、IGBT30-1、30-3が均等に電流を分担している場合を考える。

【0019】短絡時の電流は短絡時のゲート電圧に応じたIGBTのI-V特性により決定される値 I_p が流れるが、この例では下アームのIGBT30-5にこの電流 I_p が流れる。

【0020】しかしながら上アームでは、この電流 I_p を2個のIGBT30-1、30-3で分担するため、IGBT30-1、30-3の動作点はA点となり、IGBT30-1、30-3に印加される電圧は V_{ce1} と低い値になる。

【0021】一方、IGBT30-5の動作点はIGBT30-5の電圧が電源電圧 V_D から V_{ce1} を差し引いた値 V_{ce2} となるため、動作点Bとなり、殆どの電圧がIGBT30-5に印加される。(浮遊インダクタンスに印加される電圧は無視している。)従って、IGBT30-5を保護のため遮断すると、そのゲート電圧の低下に伴い動作点Bから動作点Cへ、高い印加電圧を維持したまま遷移する。

【0022】また、コレクタ電流 I_c はゲート電圧に依存した電流となっているため、ゲート電圧の低下に従い直ぐに低下し始める。従って、非常に大きな短絡電流を遮断するため、大きな di/dt に起因するサージ電圧の発生を防止するには、図5のようなソフト遮断回路が有効に動作する。

【0023】次に上アームのIGBT30-1と下アームのIGBT30-5、30-6がオンの状態で同様に出力短絡が発生した場合を考える。なお、この上アーム

THIS PAGE BLANK (USPTO)

1 個、下アーム 2 個の IGBT がオン状態での短絡モードを便宜上、モード 2 と呼ぶ。この場合は逆に、電源 4 の電圧 V_D の殆どが上アーム IGBT 30-1 に印加され、下アーム IGBT 30-5、30-6 は図 9 の動作点 A で動作している。

【0024】ここで短絡に伴う過電流の検出による保護回路の働きで IGBT 30-5、30-6 を遮断する場合、IGBT 30-5、30-6 の動作点は A から C に遷移するため、遷移の間に大きなコレクタ・エミッタ間印加電圧 V_{CE} の上昇がある。

【0025】このモード 2 での IGBT 30-5、30-6 の遮断動作は、遮断のためのゲート電荷の引き抜き過程でこのコレクタ・エミッタ間電圧 V_{CE} の変化に対応したゲート・コレクタ間の帰還容量の充電が行われる影響で、モード 1 に比べオフ特性は大きく異なってくる。

【0026】図 6 は、モード 2 の状態でモータなどのインダクタンスを負荷とする下アームの IGBT のゲート電荷を定電流で引き抜き、この IGBT をターンオフする場合における、IGBT のゲート・エミッタ間電圧（単にゲート電圧ともいう） V_{GE} と、コレクタ・エミッタ間電圧 V_{CE} 及びコレクタ電流 I_C の時間的推移の例を示す。

【0027】このような IGBT のターンオフを行うと、図 6 に示すように、IGBT のゲート電圧 V_{GE} は、先ず或る傾斜で下降する A 領域を経てゲートしきい値付近（厳密にはゲートしきい値より少し高いレベル）に達し、ここで一旦、ゲート電圧変化が少なくなる期間としての B 領域を経過し、その後再び C 領域でゲート電圧が減少するという経過をたどる。

【0028】ここで、ゲート電圧変化が少なくなる B 領域は IGBT 30 のコレクタ電位が上昇する期間で、IGBT 30 のコレクタ・ゲート間の容量を通してコレクタ電位上昇に伴う変位電流がゲートに流れる、いわゆるミラー効果によって発生している期間である。IGBT 30 の実際のコレクタ電流 I_C の減少はこの B 領域が終了する時点から始まる C 領域において発生する。

【0029】（なお、モード 1 で下アームの IGBT をターンオフした場合のオフ特性は図 6 における B 領域が無くなって、A 領域と C 領域がつながり、且つ A 領域からコレクタ電流 I_C が減少を開始する波形となる。）

ところで前記のモード 2 において、図 5 のドライブ回路により下アームの IGBT 30 のソフト遮断を行うと、図 5 における MOSFET 20 の電流引き抜き能力を少なくしているので、図 6 に示す一旦ゲート電圧変化の少なくなる B 領域の期間が非常に長くなり、IGBT 30 がオフするまでの過電流状態が長く継続するため、上アームの IGBT 30-1 が破壊するなどの不都合があった。

【0030】さらに、オンオフ信号入力端子 12 にオフ信号が入力される直前に出力短絡が生じたような場合、

実際に遮断するまでの時間が長くなるため、この時間が、ターンオフ対象の下アームの IGBT に対向する上アームの IGBT（30-5 に対し 30-2、30-6 に対し 30-3）が同時にオンしないように設けられたデッドタイムを超えると、上下アームの IGBT が同時にオン状態となって電源を短絡する、いわゆるアーム短絡が発生し、さらに他の IGBT をも破壊するおそれがあった。

【0031】本発明の目的は IGBT の過電流をソフト遮断する際、モード 1 の遮断条件の場合には遮断の開始時点から（つまり、図 6 の A 領域で）、また、IGBT のゲート電圧 V_{GE} の変化の少なくなる図 6 の B 領域が存在するモード 2 の遮断条件の場合には、この B 領域の期間を極力短縮して過電流状態の継続時間を短くしながら、B 領域に続く C 領域で、コレクタ電流 I_C を緩やかに減少させて di/dt によるサージ電圧の発生を抑制できるドライブ回路を提供することにある。

【0032】

【課題を解決するための手段】前記の課題を解決するために、請求項 1 のドライブ回路は、駆動対象の半導体スイッチング素子（IGBT 30 など）の少なくともターンオン時にその制御端子（ゲートなど）に電流を供給する手段（MOSFET 1 など）、この半導体スイッチング素子の正常な遮断時にこの制御端子から電流を引き抜く正常遮断手段、前記半導体スイッチング素子の過電流などの異常時に、前記制御端子を介してこの半導体スイッチング素子を、その主電流の下降勾配が緩やかになるように遮断するソフト遮断手段を持つドライブ回路であって、前記ソフト遮断手段が、前記半導体スイッチング素子の制御端子と、この半導体スイッチング素子の制御信号の基準電位側となる主端子（エミッタなど）との間に主回路（ドレイン・ソース回路など）が接続された

【比較的駆動能力が高い（オン抵抗が低い）】第 1 の電圧駆動型トランジスタ（MOSFET 2 など）と、第 1 の電圧駆動型トランジスタのゲートを、このゲートの電圧の上昇勾配が緩やかになるように充電する緩充電手段（定電流源 9、MOSFET 10 など）とを備えるようにする。

【0033】また請求項 2 のドライブ回路は、請求項 1 に記載のドライブ回路において、第 1 の電圧駆動型トランジスタが、前記正常遮断手段の電流引き抜き動作を兼ね行うようにする。

【0034】また請求項 3 のドライブ回路は、請求項 1 または 2 に記載のドライブ回路において、前記ソフト遮断手段が、第 1 の電圧駆動型トランジスタのゲートを、このゲートの電圧がしきい値に達するまでは急速に充電する急速充電手段（MOSFET 8、15 など）を備えるようにする。

【0035】また請求項 4 のドライブ回路は、請求項 3 に記載のドライブ回路において、前記急速充電手段が、

THIS PAGE BLANK (USPTO)

第1の電圧駆動型トランジスタと同じゲートしきい値を持って、ゲートとソース（又はエミッタ）を第1の電圧駆動型トランジスタと共通に接続された第2の電圧駆動型トランジスタ（MOSFET 4など）と、第2の電圧駆動型トランジスタの主回路に電流が流れ始めたことを検出して前記の急速充電を停止する手段（MOSFET 5, 6, 14, 定電流源 7 など）とを持つようにする。

【0036】また請求項5のドライブ回路は、請求項1ないし4のいずれかに記載のドライブ回路において、第1の電圧駆動型トランジスタのゲートとドレイン（又はコレクタ）との間にキャパシタ（21）を接続するようにする。

【0037】また請求項6のドライブ回路は、請求項5に記載のドライブ回路において、前記ソフト遮断手段が、前記緩充電手段の作動時にのみ前記キャパシタの接続を行う手段（MOSFET 22 など）を備えるようにする。

【0038】また請求項7のドライブ回路は、請求項1ないし6のいずれかに記載のドライブ回路において、前記ソフト遮断手段が、前記半導体スイッチング素子の制御端子の電位がしきい値以下の所定電位に達したのち、この制御端子の電位を速やかに下げる手段（ゲート電位検出回路 17, プリドライバ 3 など）を備えるようにする。

【0039】また請求項8のドライブ回路は、請求項1ないし7のいずれかに記載のドライブ回路において、第1の電圧駆動型トランジスタがMOSFETであるようにする。

【0040】本発明の作用は以下の如くである。ドライブ対象のIGBTのゲート・エミッタ間に接続した、比較的ドライブ能力の高い（つまりオン抵抗の小さい）MOSFETのゲートを、IGBTの負荷短絡などによる過電流時においては低電流で緩やかに充電することにより、モード1でのIGBTのミラー効果がない遮断条件の場合には、ドライブ対象IGBTのゲート電位を過電流検出後直ちに緩やかに低下させ、モード2でのIGBTのミラー効果がある遮断条件の場合にも、過電流検出後、ドライブ能力の高いMOSFETをオンすることで、IGBTのミラー効果によるコレクタ電流下降開始の遅れを少なくしながら、IGBTのゲート電位、従ってコレクタ電流を緩やかに低下させ、過大な di/dt によるスパイク電圧の発生を抑えたと共に、遮断時間が過大になることを防止する。

【0041】

【発明の実施の形態】（実施例1）図1は本発明の第1の実施例としての要部の構成を示す回路図で、同図においても図5と同様に、OUT端子に接続されたIGBT 30のゲートを充電してIGBT 30をオンさせるPチャネルMOSFET 1と、IGBT 30のゲートを放電してIGBT 30をオフさせるNチャネルMOSFET

2がプリドライバ3により制御され、IGBT 30の通常のスイッチングの際には図5と同様のゲート駆動を行う。

【0042】図1の図5と異なる点は、過電流などの異常時にIGBT 30を緩やかに遮断するためのドライブ能力の少ないNチャネルMOSFET 20を用いず、ドライブ能力の大きい通常遮断用のMOSFET 2のゲートを少ない電流により充電し、緩やかにIGBT 30のゲート電荷を引き抜くようにした点である。

【0043】以下異常時のソフト遮断の動作を、まず図7における上アームIGBT 30-1, 30-3と下アーム30-5がオンの状態で出力短絡が発生したモード1の場合について説明する。この場合は図1においてソフト遮断の対象となるIGBT 30は下アームIGBT 30-5となる。

【0044】この状態での短絡発生の場合は、先に述べたように、遮断対象のIGBT 30には既にほぼ全電源電圧 V_D が加わっており、IGBT 30のゲート電圧 V_{GE} が低下するに従って直ちに、そのコレクタ電流 I_C が減少するため、図6におけるA領域のゲート電圧の低下速度を遅くすることが重要である。

【0045】図1におけるプリドライバ3のオンオフ入力端子12にオン信号が入っている状態で、異常信号入力端子11に“異常有り”を示すL信号が印加されると、プリドライバ3はPチャネルMOSFET 1を遮断する信号を送出してIGBT 30のゲートの充電回路を閉じるようにするが、通常時の遮断とは異なり、NチャネルMOSFET 2をオンするための信号は送出しない。

【0046】NチャネルMOSFET 2をオンするための、そのゲートを充電する電流は、異常信号入力端子11にL信号が印加され、PチャネルMOSFET 10がオンすることにより、出力電流値の低い定電流源9により供給される。

【0047】このためNチャネルMOSFET 2のゲート電圧の上昇は緩やかなものになる。さらに、MOSFET 2のゲート電圧の上昇に伴うMOSFET 2のオン抵抗の低下にしたがって、IGBT 30のゲート電圧、すなわちMOSFET 2のドレイン電圧は低下するが、このドレイン電圧低下によるミラー効果のためにMOSFET 2のゲートを充電する電流の多くが、図1に帰還容量13として示すMOSFET 2のゲート・ドレイン間容量を充電するのに使われるため、MOSFET 2のゲート電圧の上昇速度はさらに遅くなる。従って、IGBT 30のゲート電圧の低下速度は非常に低い値となる。

【0048】しかしながら、先に述べたようにIGBT 30は高いコレクタ・エミッタ電圧 V_{CE} を維持したまま遮断されるため、IGBT 30に対するミラー効果は無く（つまり、図6のB領域は無く）、IGBT 30は時

THIS PAGE BLANK (USPTO)

間遅れなく、且つコレクタ電流 I_c の減少は緩やかに遮断される。

【0049】次に図7の上アームIGBT30-1と下アームIGBT30-5、30-6がオンの状態で出力短絡が発生したモード2のソフト遮断について説明する。この場合は図1においてソフト遮断の対象となるIGBT30は下アームの30-5及び30-6となる。

【0050】この場合も図6におけるA領域が終わるまではIGBT30のゲート電圧の低下の点ではモード1の場合と全く同様である。しかしながらこの場合、下アームIGBT30-5、30-6のコレクタ電流 I_c は、そのゲート電圧で決まっておらず、上アームIGBT30-1のコレクタ電流 I_c をIGBT30-5、30-6で分担しているにすぎない。

【0051】従って、IGBT30-5、30-6に流れるコレクタ電流 I_c は図6に示すようにA領域では低下しない。また、IGBT30-5、30-6はゲート電圧の低下に従い、エツミタ・コレクタ間電圧 V_{ce} が上昇する(図9における動作点AからCへ遷移する)ためミラー効果が発生し、IGBT30のゲートから電荷を引き抜いてもゲート電圧が低下しなくなる図6におけるB領域が存在する。

【0052】しかしながら、IGBT30-5、30-6のゲート電圧、すなわち図1のMOSFET2のドレイン電圧が低下しなくなると、MOSFET2に対するミラー効果はなくなり、MOSFET2のゲートを充電する電流は主にそのゲート・ソース間容量を充電するのに使われ、MOSFET2のゲート電圧は比較的急速に上昇する。

【0053】MOSFET2は元々ドライブ能力が高い(オン抵抗が低い)素子であるので、ゲート電圧が上昇すれば低いオン抵抗になるため、IGBT30-5、30-6のゲート電荷を比較的急速に放電することが可能となり、従来例のように図6のB領域が極端に長くなることはない。

【0054】このモード2ではIGBTのコレクタ電流 I_c が実際に下降するのは図6のC領域に入ってからであり、電流 I_c が下降を開始する時のMOSFET2のオン抵抗は前に説明したモード1に比較して低くなっているため、電流 I_c が下降する勾配はモード1の場合より大きくなる。しかし、MOSFET2のオン抵抗は通常遮断の場合に比較すれば、まだ十分低下していないため、通常遮断に比較すれば緩やかに遮断することができる。

【0055】また、このモード2ではIGBT30-5、30-6のコレクタ電流 I_c は前に説明したモード1に比較して低くなっているため、電流 I_c を比較的大きな下降勾配で遮断してもサージ電圧の発生は少なく、素子が破壊されることは無い。

【0056】ところで、上述のようにMOSFET2の

ゲートを低い電流で充電すると、MOSFET2のゲート電位がゲートしきい値に達し、MOSFET2がオンし出すまでの時間が長くなり、IGBT30が過電流状態になってからIGBT30を実際に遮断開始するまでの時間が長くなり、IGBT30の保護が困難になる可能性が生ずる。

【0057】図1ではこれを次に述べる方法で防止している。即ち図1において、プリドライバ3のオンオフ入力端子12にオン信号が入っている状態で、異常信号入力端子11にL信号(アクティブ)が印加されると、NOT回路16によりNチャネルMOSFET14、15がオンする。MOSFET4はMOSFET2と同じゲートしきい値を持ったMOSFETで、MOSFET2のゲート電位が、そのゲートしきい値まで達しない間はMOSFET4にも電流が流れず、カレントミラー回路を構成するMOSFET5、6にも電流が流れない。

【0058】従って、PチャネルMOSFET8のゲートは定電流源7によりGND電位となりMOSFET8がオンするので、MOSFET8、15を通してMOSFET2のゲートは急速に充電される。MOSFET2のゲート電位がしきい値に達するとMOSFET4にもMOSFET5、14を経て電流が流れ、カレントミラー回路により、MOSFET6にも電流が流れる。

【0059】そして、この電流が定電流源7の電流値を越えると、MOSFET8のゲート電位は上昇し、MOSFET8はオフする。このため、MOSFET2の充電電流は電流源9から供給される電流のみに低下する。

【0060】以上の動作によりMOSFET2のゲートを、その電位がゲートしきい値に達するまでは急速に充電し、ゲートしきい値に達したあとは緩やかに充電するので、IGBT30の異常過電流発生直後からMOSFET2のターンオンによりIGBT電流が下降し始めるまでの遅れ時間を短くしながら、IGBT電流の減少の勾配を緩やかにすることが可能となる。

【0061】なお、MOSFET15はMOSFET2の通常の動作時にMOSFET8によりMOSFET2のゲートが充電されることを防止するためのスイッチで、MOSFET14はMOSFET2の通常の動作時にカレントミラー回路に電流が流れることを防止するためのスイッチとして動作する。

【0062】また、図1においてゲート電位検出回路17はIGBT30のゲート電圧がしきい値以下の所定電圧(実際はしきい値より所定の余裕電圧分だけ低下した電圧)になったことを検出し、プリドライバ3に信号を送出し、通常のスイッチング時と同様のゲート充電電流によりMOSFET2のゲートを充電させる役割を持つ。これにより急峻な di/dt が発生する恐れのない時点以後もIGBT30の電流の緩やかな遮断を継続し、いたずらにスイッチング時間が長くなることを防止する。

THIS PAGE BLANK (USPTO)

【0063】なお、図1においてMOSFET1は本図の様にPチャネルMOSFETであってもNチャネルMOSFETのソースフォロアであっても、あるいはその組み合わせなどであっても良く、IGBT30をターンオンさせる手段はどのようなものであっても本発明の効果は期待できる。

【0064】また、本実施例では図5の従来のドライブ回路と異なり、ソフト遮断用のMOSFET20を持っていないが、図5と同様にMOSFET2とは別に新たなソフト遮断用MOSFET20を設け、このMOSFETに対して本実施例と同様の定電流駆動を行ってもよい。

【0065】しかし、この場合、新たに設けるMOSFET20は図5の場合よりも駆動能力が大きい必要があり、図1のように十分ドライブ能力のある通常ドライブ用のMOSFET2をソフト遮断用MOSFETと共用することが効率的である。

【0066】（実施例2）図2は本発明の第2の実施例としての要部の構成を示す回路図である。同図の図1と異なる主な点は、NチャネルMOSFET2のゲート・ドレイン間にコンデンサ21が接続されている点と、MOSFET2のゲートしきい値に達しない領域でMOSFET2のゲートを急速に充電する回路が無い点である。

【0067】本実施例ではMOSFET2の帰還容量（図1の13で、図2では図示していない）に並列にコンデンサが挿入されており、MOSFET2にミラー効果がより強く現れ、MOSFET2のゲート・ソース間容量に対する帰還容量の比率が増加する。

【0068】従って、定電流源9の電流値を大きくすることにより、MOSFET2のドレイン電圧（従ってIGBT30のゲート電圧）の下降速度を緩やかに保ちながら、MOSFET2のゲート・ソース間容量のみを充電する時間としての、MOSFET2のゲート電位がしきい値に達するまでの時間を短縮することが可能となり、図1のようなMOSFET2のゲートを急速に充電する回路がなくても、比較的短い時間でIGBT30の遮断を開始することが可能となる。

【0069】もちろん、図2にMOSFET2のゲートを急速に充電する回路を追加して、さらにMOSFET2のゲート電位がしきい値に達するまでの時間を短縮することも可能である。

【0070】（実施例3）図3は本発明の第3の実施例としての要部の構成を示す回路図で、同図の図2と異なる点は、図2より容量の大きいコンデンサ21にスイッチとしてのNチャネルMOSFET22が接続され、異常信号入力端子11がL（アクティブ）になったときのみコンデンサ21がMOSFET2のゲート・ドレイン間に接続される点と、MOSFET2のゲートが専用の定電流源で充電されるのではなく、図2の定電流源9よ

り電流供給能力の大きいプリドライバ3の通常スイッチング用信号により充電される点である。

【0071】すなわち、異常信号入力端子11がH（ノンアクティブ）の通常時には、MOSFET22がオフ状態でコンデンサ21が接続されていない状態と等価であるため、通常でMOSFET2はオンする。

【0072】一方、異常信号入力端子11にLの異常信号が印加された場合は、MOSFET22がオンすることにより、コンデンサ21がMOSFET2のゲート・ドレイン間に接続され、この容量によりMOSFET2のミラー効果が大きくなるため、MOSFET2のドレイン電圧、すなわちIGBT30のゲート電圧の下降速度は緩やかになるが、図2と比べた場合、コンデンサ21の容量が大きい分、プリドライバ3の電流供給能力が大きいので、MOSFET2のゲート電圧がしきい値に達する時間やIGBT30のゲート電圧の下降速度を同等にすることができる。

【0073】（実施例4）図4は本発明の第4の実施例としての要部の構成を示す回路図で、同図の図3と異なる点はコンデンサ21とMOSFET22の間にダイオード24が接続され、ダイオード24とコンデンサ21との接続点とグランドGNDの間にMOSFET25が接続されている点である。

【0074】即ち、図3においてはMOSFET22の寄生ダイオード23により、MOSFET2のターンオフ時には、常にコンデンサ21がMOSFET2のゲート・ドレイン間に接続されている状態になり、MOSFET2のターンオフが遅くなる。

【0075】図4のダイオード24は、このターンオフの遅れを防止するために挿入されたもので、MOSFET2のドレインからゲートに流れる電流を遮断するものである。また、MOSFET25は異常信号入力端子11に異常信号（L）が無い状態でコンデンサ21の電荷を放電しておくための回路である。

【0076】

【発明の効果】本発明（請求項1）によれば、駆動対象の半導体スイッチング素子（例えばIGBTとする）の過電流などの異常時に、このIGBTのゲートとコレクタとの間に設けた、比較的ドライブ能力の大きい（オン抵抗の小さい）電圧制御型トランジスタ（例えばMOSFETとする）のゲート電圧の上昇勾配が緩やかになるようにこのMOSFETのゲートを充電するようにし、さらに必要に応じて、前記MOSFETのゲートを、ゲート電圧がしきい値に達するまでは急速に充電するようにしたり（請求項3、4）、また、MOSFETのゲートの充電電源に電流供給能力の大きい通常遮断時の電源を共用したい場合には、このゲートとドレイン間にキャパシタを接続するようにしたり（請求項5、6）、また前記IGBTのゲートの電位がしきい値以下の所定電位に達したのちは、このゲートの電位を速やかに下げるよ

THIS PAGE BLANK (USPTO)

うにしたので（請求項7）、IGBTの過電流検出後、速やかに遮断を開始して過電流の継続時間を短縮すると共に、IGBT電流の下降速度を緩やかにして、急峻な di/dt によるサージ電圧の発生を抑え、かつIGBTのゲート電圧がしきい値以下に下降してサージ発生のおそれなくなった時点からは速やかに遮断を終えることができ、結果として駆動対象半導体スイッチング素子のサージ電圧破壊を防止しながら、可能な限り短い過電流持続時間で半導体スイッチング素子の電流を遮断することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例としての要部の構成を示す回路図

【図2】本発明の第2の実施例としての要部の構成を示す回路図

【図3】本発明の第3の実施例としての要部の構成を示す回路図

【図4】本発明の第4の実施例としての要部の構成を示す回路図

【図5】従来のドライブ回路におけるソフト遮断回路の例を示す図

【図6】IGBTのターンオフ特性の説明図

【図7】半導体スイッチング素子としてIGBTを用いたインバータ装置の主回路構成例を示す図

【図8】IGBTの出力短絡時における電流電圧波形の

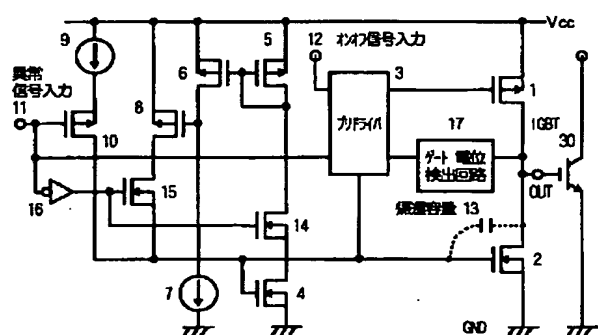
説明図

【図9】インバータ装置の出力短絡時におけるIGBTの動作点の説明図

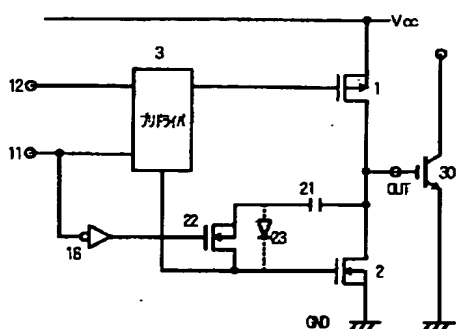
【符号の説明】

- | | |
|--------|--------------|
| 1 | PチャンネルMOSFET |
| 2 | NチャンネルMOSFET |
| 3 | プリドライバ |
| 4 | NチャンネルMOSFET |
| 5, 6 | PチャンネルMOSFET |
| 7 | 定電流源 |
| 8 | PチャンネルMOSFET |
| 9 | 定電流源 |
| 10 | PチャンネルMOSFET |
| 11 | 異常信号入力端子 |
| 12 | オンオフ信号入力端子 |
| 13 | 帰還容量 |
| 14, 15 | NチャンネルMOSFET |
| 16 | NOT回路 |
| 17 | ゲート電位検出回路 |
| 21 | コンデンサ |
| 22 | NチャンネルMOSFET |
| 23 | 寄生ダイオード |
| 24 | ダイオード |
| 25 | NチャンネルMOSFET |
| 30 | IGBT |

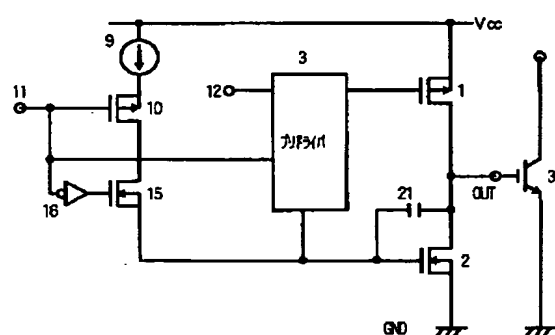
【図1】



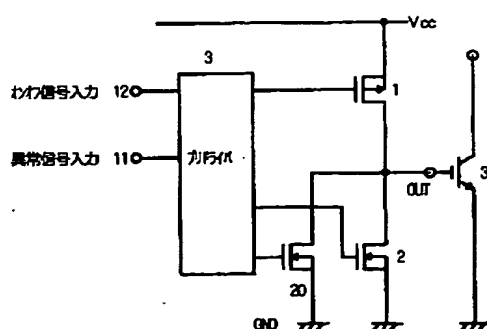
【図3】



【図2】

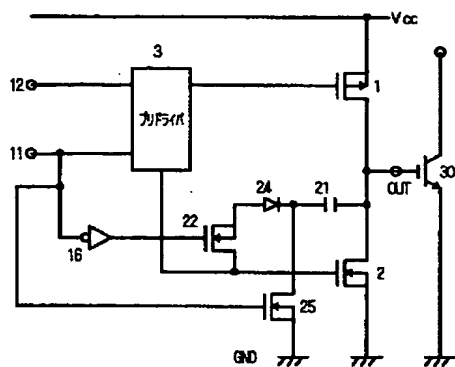


【図5】

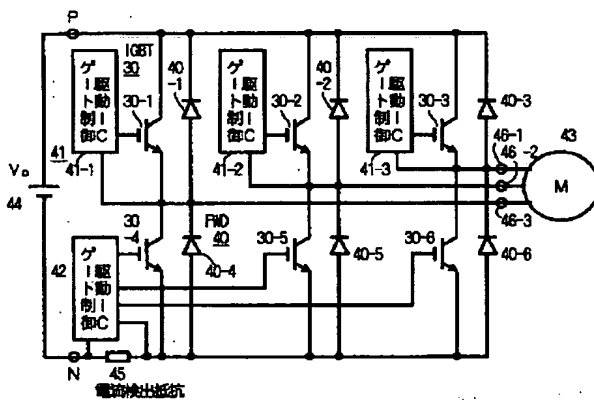


THIS PAGE BLANK (USPTO)

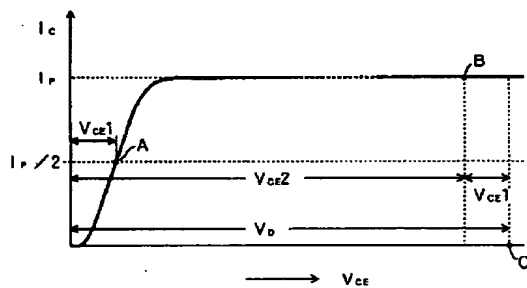
【図4】



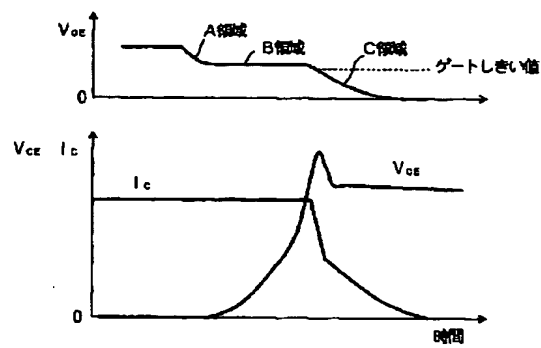
【図7】



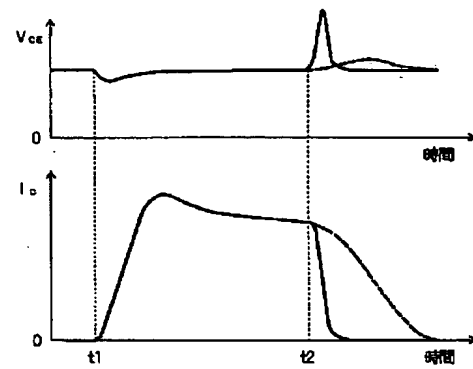
【図9】



【図6】



【図8】



フロントページの続き

(72)発明者 矢野 幸雄
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

Fターム(参考) 5H740 AA08 BA11 BC01 BC02 MM12

THIS PAGE BLANK (USPTO)